**实验三 组合逻辑电路的设计实验报告**

周义函 自93 2019010702

**一、预习任务**

1.复习补码及如何利用补码实现减法运算

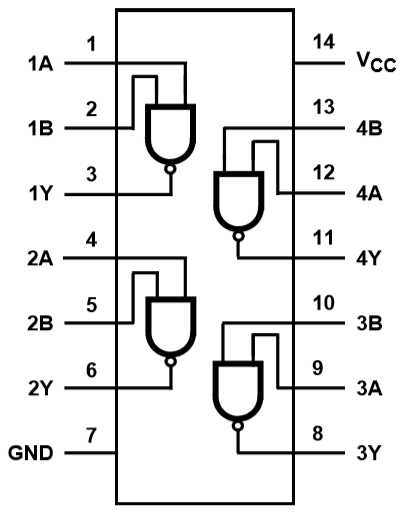
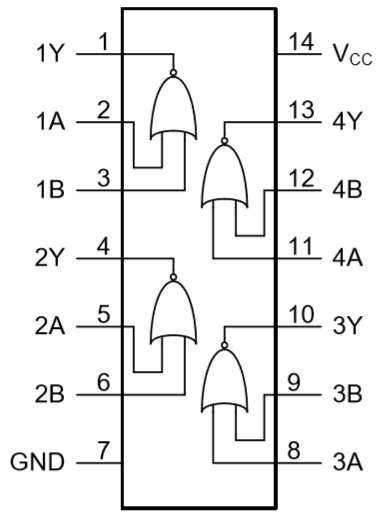
补码其实就是给最高位赋了权重 ，最终表现为正数补码保持不变，负数补码取反加一。用补码实现减法运算可以把被减数转换成其对应的补码，减数转换成其对应的负数的补码，然后把两者相加即可。

2. 根据实验任务要求完成电路设计，包括：

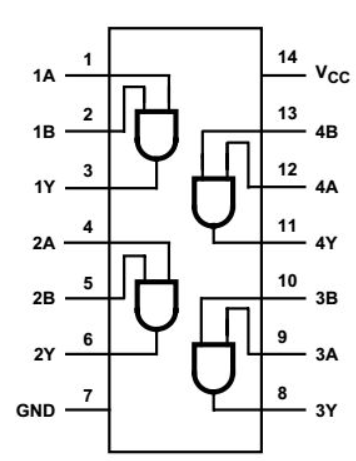
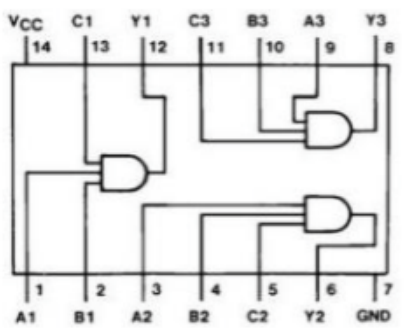
（1）查询元件盒中74HC系列门电路芯片的数据手册

元件盒中74HC系列芯片的门电路功能及其引脚图如下

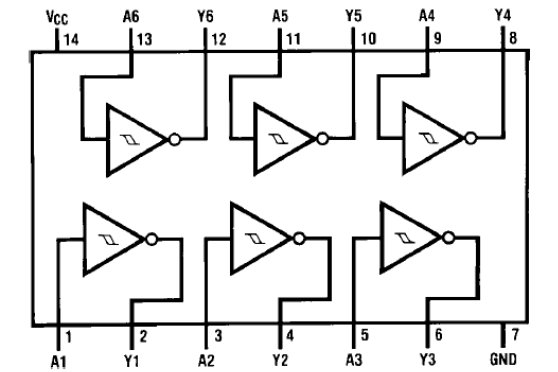
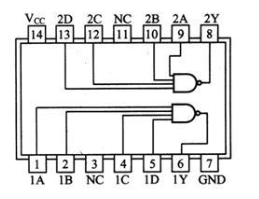
（1）74HC00：2输入与非门\*4 （2）74HC02：2输入或非门\*4

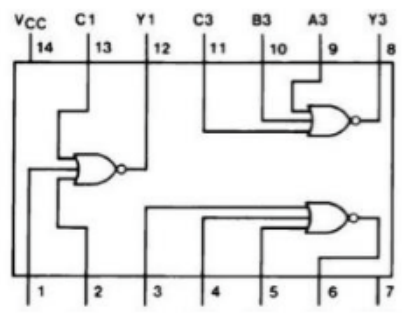
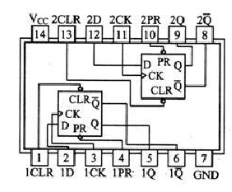
（3）74HC08：2输入与门\*4 （4）74HC11：3输入与门\*3

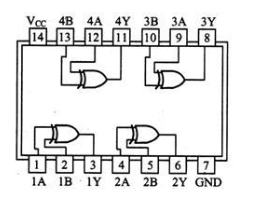
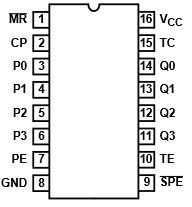
（5）74HC14：六路施密特反向触发器 （5）74HC20：4输入与非门\*2

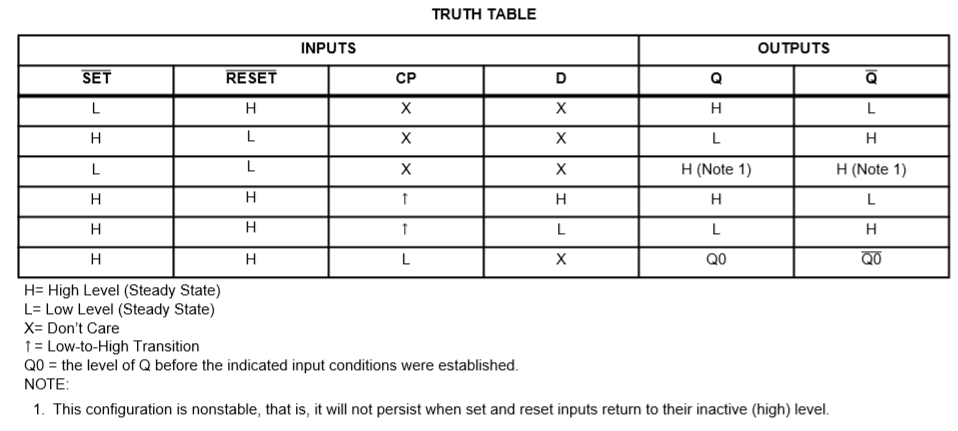
（6）74HC27：3输入或非门\*3 （7）74HC74：双路D型上升沿触发器

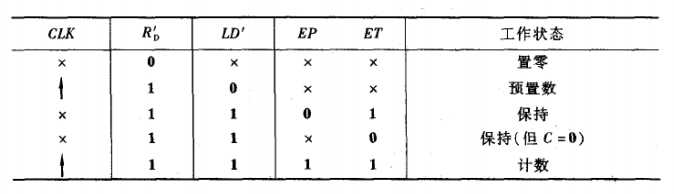
 

（8）74HC86：2输入异或门\*4 （9）74HC161：四位二进制同步加法计数器

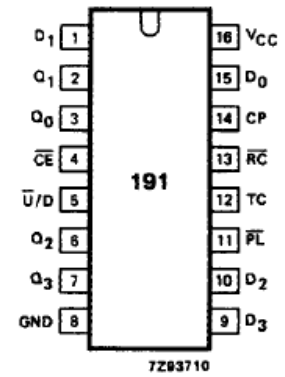
 

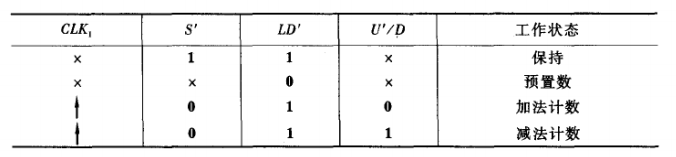
74HC86：

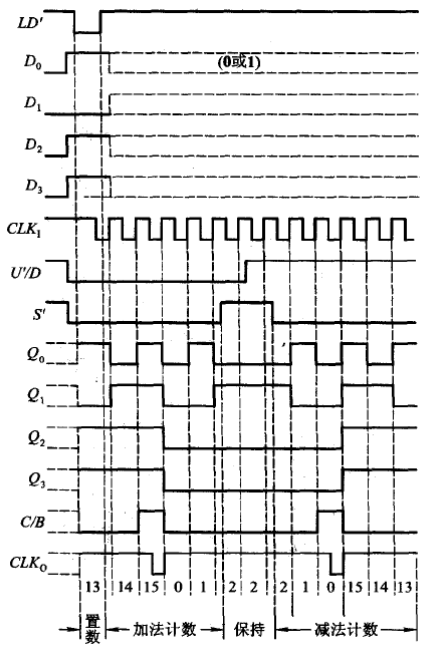


74HC161 

（10）74HC191：四位同步加/减计算器







（2）根据步骤建议，列出各模块电路的真值表和逻辑表达式

**步骤1：用门电路设计一个一位【全加器】**

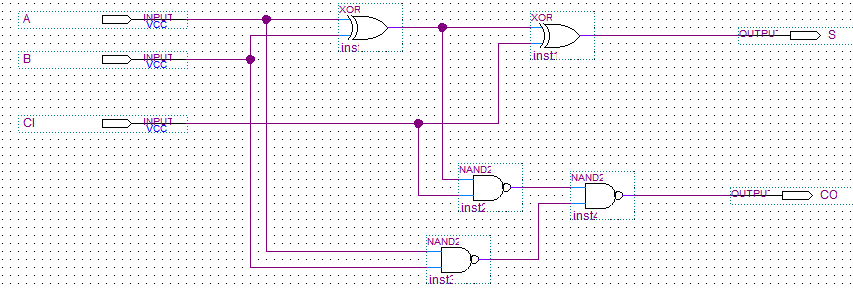
真值表如下：

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| **输入** | | | **输出** | |
| **CI** | **A** | **B** | **S** | **CO** |
| 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 0 |
| 0 | 1 | 0 | 1 | 0 |
| 0 | 1 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 | 0 |
| 1 | 0 | 1 | 0 | 1 |
| 1 | 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 1 | 1 |

逻辑表达式：



1位全加器的逻辑图：

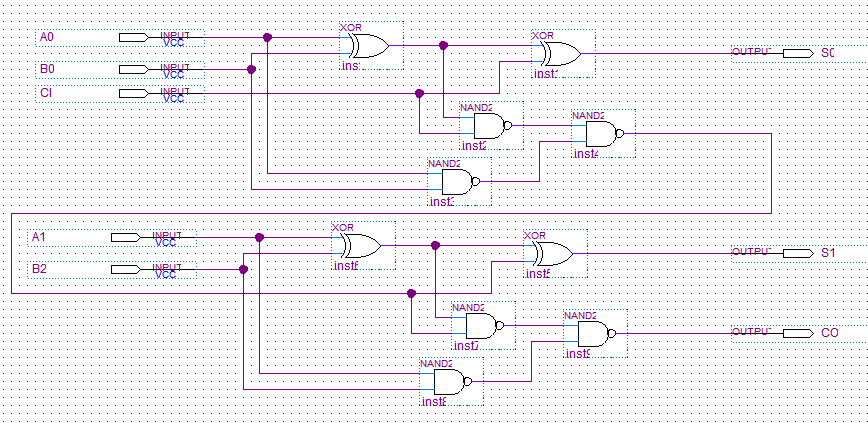


**步骤2：用两个1位全加器接成一个【2位全加器】**

逻辑表达式：（只需将低位的进位输出接在高位的进位输入上即可）



2位全加器的逻辑图：



**（3）用门电路和2位全加器实现加减运算功能【2位运算器】**

**输入端原码转补码**

2位运算器在2位全加器的基础上引入K。输入端输入A1，A0，K，B1，B0五个信号，其中A1A0为符号左边的数，B1B0为符号右边的数，K为符号，0为加法，1为减法。在做减法时，需要将A和（-B）转换成补码，由于A本身是正数，补码等于本身，故只需将将B的每一位取反，然后加一，将K加入作为以前的CI，等同于将B取反加一，最终变为A与-B的补码相加，实现A-B。为此，将B与K进行异或运算（K=0时无影响）。

**输出端补码转原码**

按照以上的设计思路，最终输出时，结果也是以补码的形式呈现的，但最终我们需要的是原码。所以输出端要完成补码到原码的转变对于2位运算器，结果在-3-6之间，我们需要用三个输出端来表示数据，然后一个输出端Z来表示符号。若为加法，S0、S1和CO即为结果。若为减法，则得到的S0、S1和CO相当于A+(4-B)的二进制码。取Z来表示结果的正负，Z=0表示正，Z=1表示负，则由上述分析，若A-B为负，A+(4-B)<4，CO=0；若A-B为正，则A+(4-B)>=4，CO=1。由此可得，Z=CO＇·K。

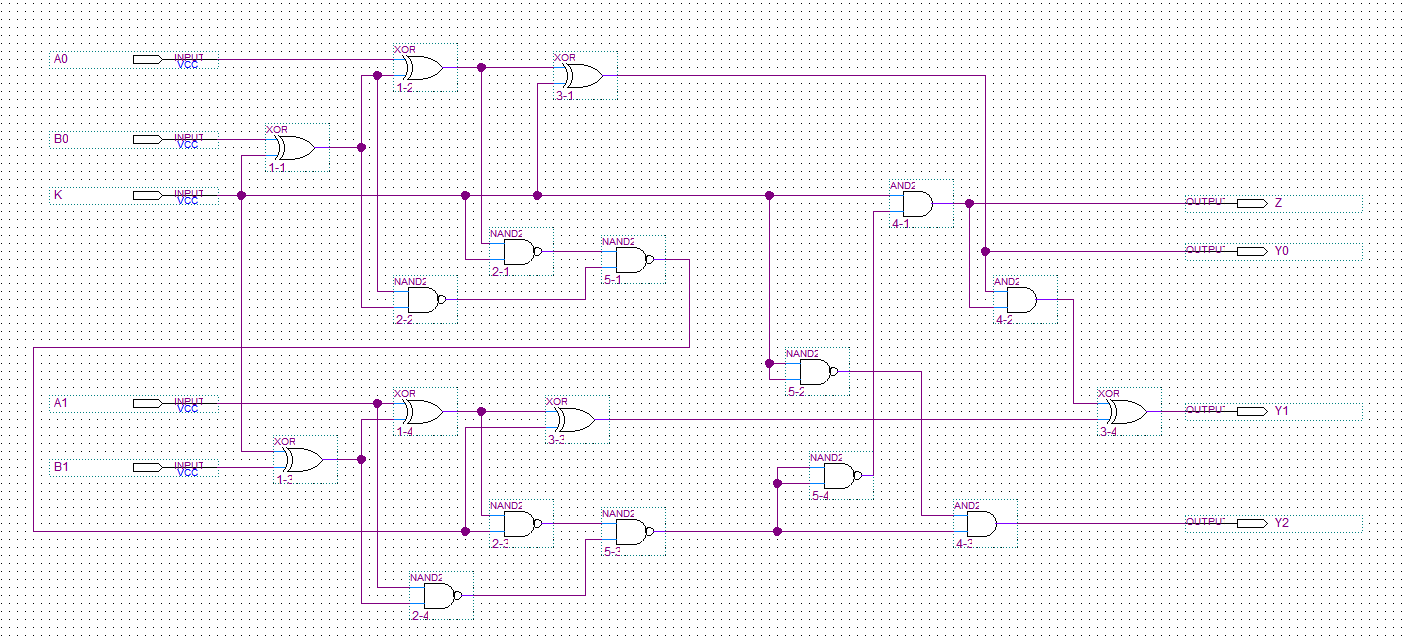
真值表如下：

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| K | CO | S1 | S0 | Z | Y2 | Y1 | Y0 | 十进制 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 0 | 0 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 3 |
| 0 | 1 | 0 | 0 | 0 | 1 | 0 | 0 | 4 |
| 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 5 |
| 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 6 |
| 0 | 1 | 1 | 1 | X | X | X | X | X |
| 1 | 0 | 0 | 0 | X | X | X | X | X |
| 1 | 0 | 0 | 1 | 1 | 0 | 1 | 1 | -3 |
| 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | -2 |
| 1 | 0 | 1 | 1 | 1 | 0 | 0 | 1 | -1 |
| 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 1 | 1 | 0 | 1 | 0 | 0 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | 0 | 2 |
| 1 | 1 | 1 | 1 | 0 | 0 | 1 | 1 | 3 |

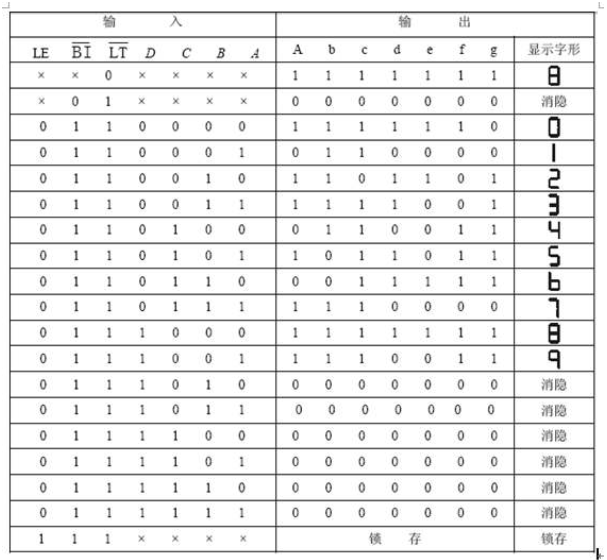
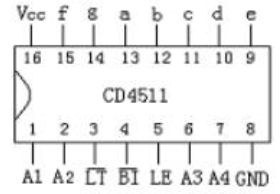
逻辑表达式：

逻辑图：



3.查阅CD4511B的数据手册



故我们最终需要将Z连接发光二极管，将Y2, Y1, Y0分别与C, B, A连接，然后D接地就完成了电路的搭建。

4.画出选做任务的输入输出电压波形，并分析该电路是否会发生竞争-冒险现象。如有，请参考思考题1给出解决方案。

会发生。分析电路图，设第二个与非门上边的接口为1，下边的接口为2。当v1变化时，接口2迅速变化，而接口2要经历一个传输延迟时间。当v1从0变为1时，在传输延迟时间内会有一段时间接口1、2同为1使得输出为低电平，发生竞争-冒险现象；但当v1从1变为0时，在传输延迟时间内会有一段时间接口1、2同为0，但这并不影响，不会发生。

5.写出调试方法和步骤、注意事项

（1）芯片不正常时，首先检查芯片的电源和地。

（2）可根据电路的逻辑关系，逐级检查测量。测量点应是集成电路管脚处。

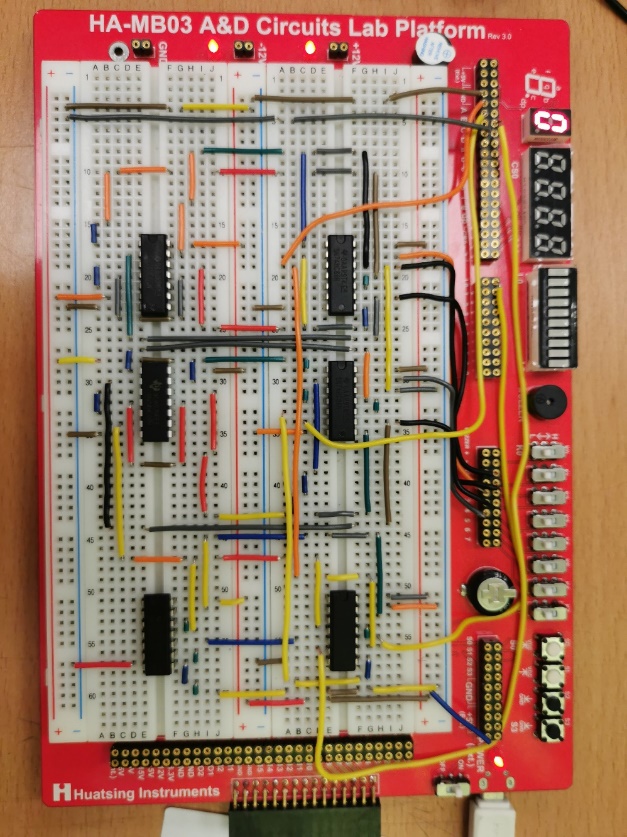
（3）可对芯片引脚进行编号，便于连线和检查故障，利用万用表顺查、逆查。

（4）按照1位全加器、2位全加器……逐级调试。

**二、必做任务**

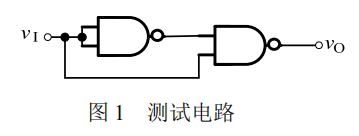
连接实验电路

【面包板】如下：

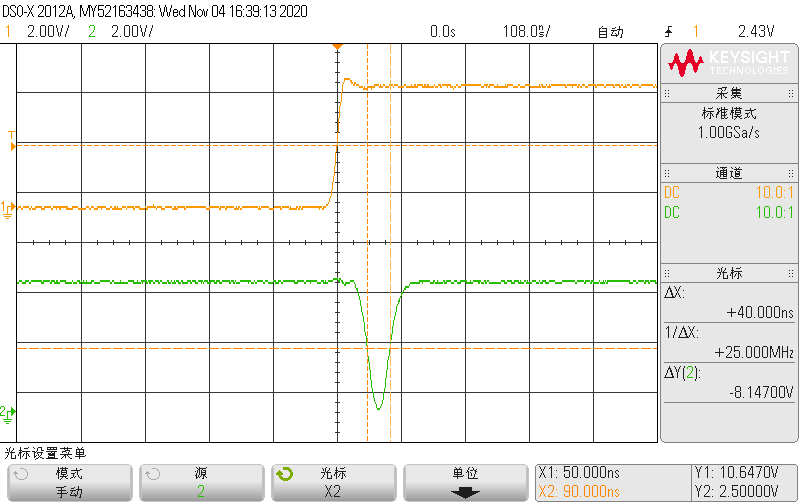


**三、选做任务**

竞争-冒险现象测试电路

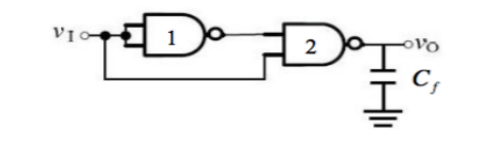


实验波形图如下：

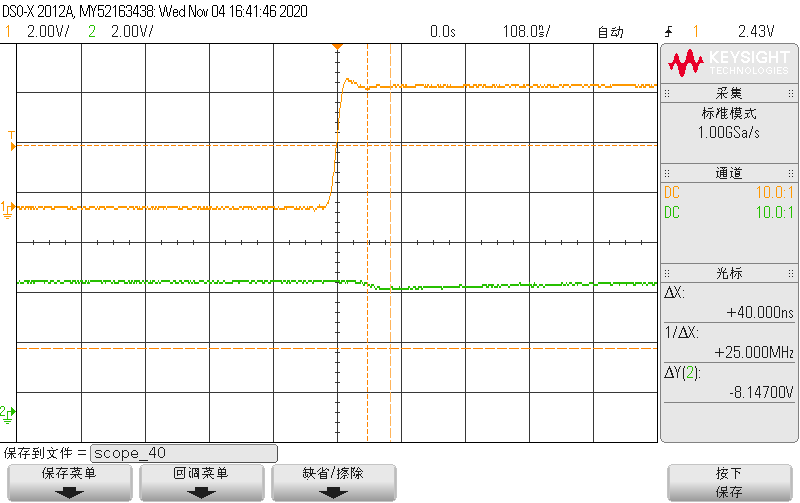


如上图所示，当v1从0变为1时，发生了竞争-冒险现象；而当v1从1变为0时，没有发生竞争-冒险现象（示波器图像未进行记录）。

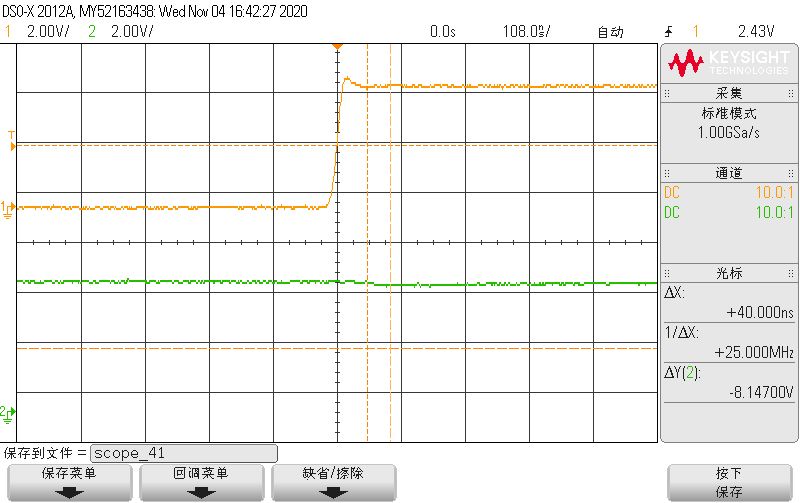
在不改变电路结构的条件下，可以通过滤波电容消除这一现象。



接入滤波电容（680pF）之后，波形为：



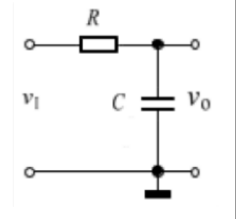
换上更大的滤波电容（1500pf），波形为：



从图中可以看出通过接入合适的滤波电容，我们可以消除竞争-冒险现象。

**四、思考题**

**1.试分析选作任务电路，若采用在输出端加滤波电容的方式消除竞争冒险，该电容会对输出信号有何影响？试讨论该电容值的选取并给出理论依据。**



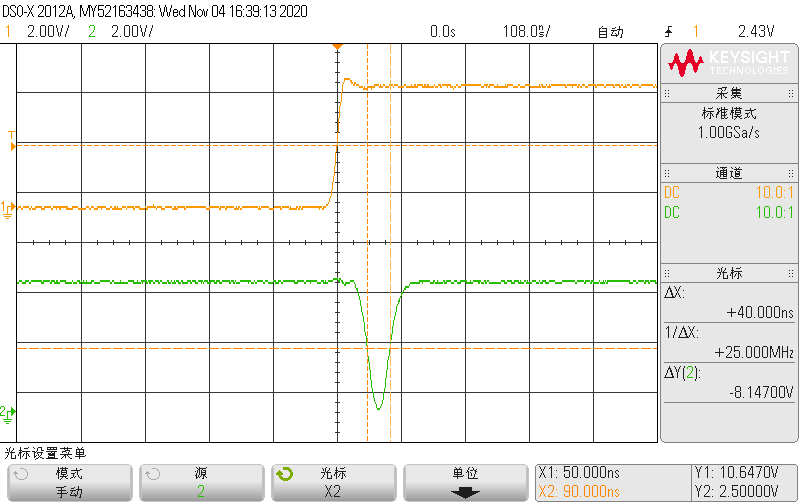
由等效电路可得传递函数：





如果取下降到2.5V来计算，即令

可得



测量得知（即降到低电平的部分），查阅资料得知CD4011与非门输出电阻600Ω左右，由此计算得到：

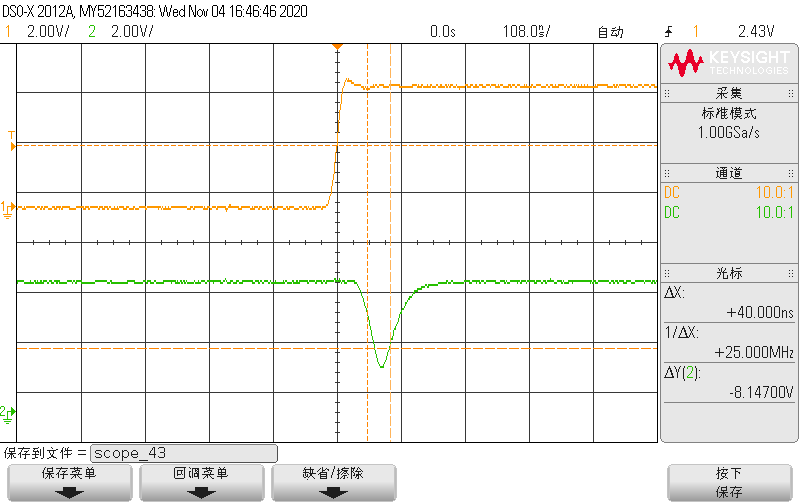


这个C只是一个参考的数值（整个计算过程也不是特别严格的计算，但我们至少可以知道滤波电容的大概数量级），要想得到比较好的滤波效果，可以选择几百pF的电容。

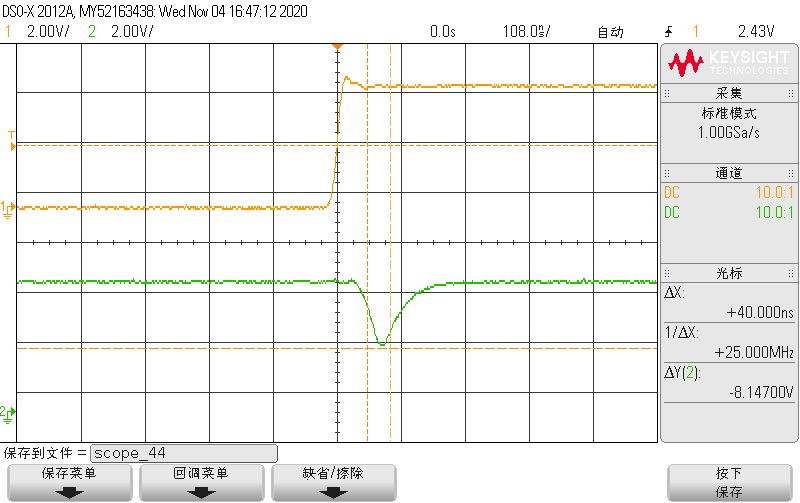
以下是我在实验中的验证，在滤波电容为20、40pF的时候，滤波效果不太好，但是当其为60pF时，滤波效果已经基本可以维持高电平了。当滤波电容达到必做任务中的680pF和1500pF，可以把竞争-冒险现象降到一个很低的程度。

滤波电容取值较小的话，滤波效果可能不够好；而滤波电容取值较大的话，可能会影响输出信号上升时间和下降时间，使其变长，反而出现较大误差。

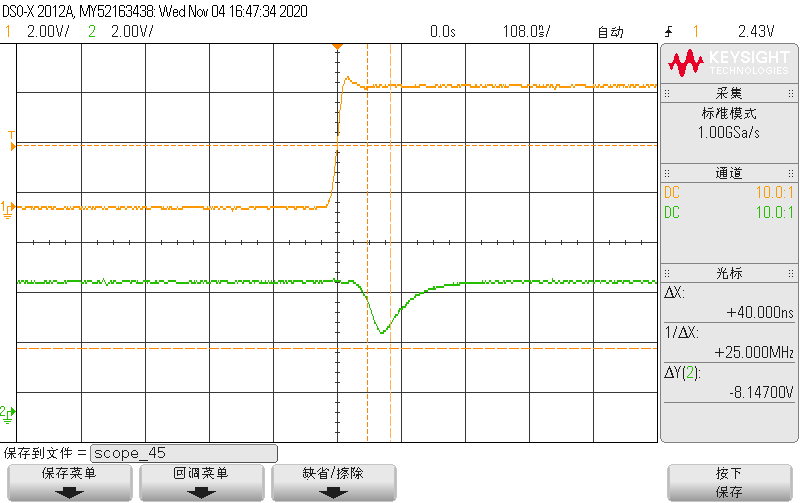
滤波电容为20pF时：



滤波电容为40pF时：



滤波电容为60pF时



滤波电容为680pF和1500pF的图像在前面已经展示（滤波效果特别好）

**2.请根据你的 1 位全加器电路设计，并查阅相应门电路的数据手册。试分析该电路传输延迟时间是多少？并说明电路传输延迟时间与哪些因素相关。**

查阅数据手册可知，25℃并且4.5V工作电压的时候74HC00传输延迟时间9ns，74HC86传输延迟时间12ns。根据电路设计，1位全加器的传输延迟时间（选最长的路）：



电路传输延迟时间与以下因素相关：

（1）工作电压、工作温度

（2）负载电容

（3）选用不同芯片带来不同的等效电阻、电容

（4）电路结构

**五、实验总结**

**1.组合逻辑电路的设计和调试过程**

设计过程总结如下:

（1）分析任务，进行逻辑抽象

（2）将任务分层次、模块化

（3）从底层开始，对于每一层次：

列真值表

写逻辑函数式

将逻辑函数变成适当的形式，而不是要求化为最简形式

画出逻辑图

将其看作一整体，设计更高的层

（4）检查设计

调试过程总结如下：

（1）芯片不正常时，首先检查芯片的电源和地。

（2）可根据电路的逻辑关系，逐级检查测量，可以选择从输入端进行调试或者从输出端开始，利用万用表进行调试。测量点应是集成电路管脚处。

（3）可对芯片引脚进行编号，便于连线和检查故障，利用万用表顺查、逆查。

（4）随后从最低级模块开始进行检查，逐级调试。

**2.实验中遇到的问题及解决方法**

（1）在实验板搭建的过程中，K的用途太多，难以用不飞线的方式完成搭建。思前想后，我决定将最上边一行的“-”和最下边一行的“+”利用起来，由于横向导通，这一排可以将用的最多的接线端进行大幅度的扩展，从而让我的面包板更加整齐。

（2）在设计完逻辑图进行搭建的过程中，由于两者的工作隔了一天晚上，我第二天搭面包板时以为上下两个1位全加器是完全对称的，最终导致接线出现了错误。在实验室不断用万用表检查各个门输入输出高低电平的对应关系，结果发现了自己接线出现了错误，重新接线后将这一错误改正了过来。

（3）接通电源后，我发现输出出现了奇怪的结果，正确结果与实际输出结果关系大概是：0→0，1→8，2→6，即二进制码有如下映射关系：0000→0000，0001→1000，0010→0100，我也就发现了输出端的高低位接反了，于是重新接线并将D接地后得到了正确的实验结果。

（4）必做实验完成后整体看自己搭的面包板，发现了一个问题，由于我们的惯性思维是输入在左、输出在右，搭面包板时也是这样做的，将输入口留在了左边而输出口留在了右边（整体上来讲），但事实上这次的数码管和二极管都是在左上角的位置，所以下次设计布局时要将输入输出的布局考虑进来。

（5）选做实验中，接好电路进行测量发现竞争冒险现象不是很明显，后来经过与同学老师交流发现是因为示波器观测输出信号的通道探头选择了×1档，自带较大的输入电容，本身就具有一定的滤波效果，对实验结果造成了影响，随后将示波器输入探头换为×10档，得到了正确的实验结果。

**3.实验收获**

（1）第一次设计并搭建了具有一定功能的电路，第一次在面包板上搭建这么复杂的电路而且自己没有飞线，收获了满满的成就感。

（2）学会了对面包板针对所需电路进行简要布局，收获了在接线过程中如何让电路“起死回生”——就是通过各种措施不飞线。

（3）学会了如何Debug,先检查芯片的电源和地，然后可以按着逻辑图从左到右进行逐级检验测量，也可以倒着回推。在搭电路过程中也可以对电路的每个模块先做好调试（1位全加器、2位全加器）。

（4）对示波器探头的选择有了更好的认识（每次×1×10都选错，还是自己对于这两个挡位理解不够透彻）。

（5）开始有勇气面对第一次大作业了。

在此特别感谢老师助教的耐心讲授与悉心指导。